

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053075

(43)Date of publication of application : 23.02.2001

(51)Int.CI.

H01L 21/3205
H01L 21/308
// G03F 7/42
H01L 21/027

(21)Application number : 11-226577

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 10.08.1999

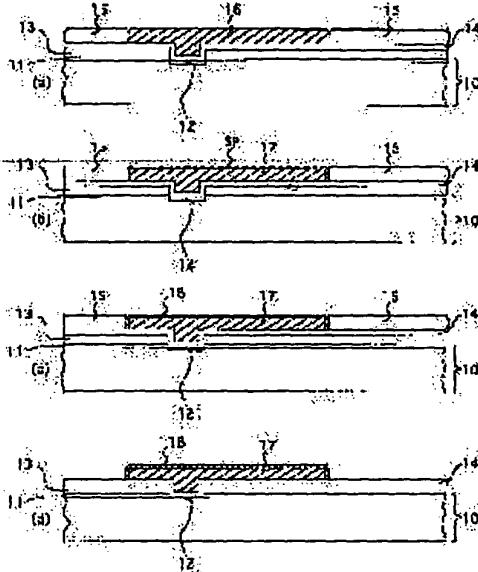
(72)Inventor : KYOZUKA MASAHIRO
HIRABAYASHI NOBUO
IHARA YOSHIHIRO
NISHIGUCHI AIKO

(54) WIRING STRUCTURE AND METHOD OF FORMING WIRING

(57)Abstract:

PROBLEM TO BE SOLVED: To realize wiring which is excellent in both electric properties and environmental resistance and to enable a semiconductor device or a wiring board where the above wiring is provided inside to be improved in reliability.

SOLUTION: A via hole is provided on insulating layers 11 and 13, a metal thin film 14 is formed covering the insulating layer 13 and a lower conductor layer 12 so as to be electrically connected to the lower conductor layer 12 through the intermediary of the via hole, a wiring layer 17 is formed on the metal thin film 14, and the surface of the metal thin film 14 is covered with a coating layer 18 formed of material excellent in environmental resistance. It is preferable that nickel/gold, nickel/palladium or nickel/palladium/gold is used as the above material which is excellent in environmental resistance and used for forming the coating layer 18.



(51) Int. Cl.
H01L 21/3205
21/308

// G03F 7/42
H01L 21/027

識別記号

F I
H01L 21/88
21/308
G03F 7/42
H01L 21/30

審査請求 未請求 請求項の数 9 OL (全 9 頁)

マークコード (参考)
R 2H096
E 5F033
F 5F043
5F046

(21) 出願番号 特願平11-226577
(22) 出願日 平成11年8月10日 (1999. 8. 10)

(71) 出願人 000190688
新光電気工業株式会社
長野県長野市大字栗田字舍利田711番地
(72) 発明者 経塚 正宏
長野県長野市大字栗田字舍利田711番地
新光電気工業株式会社内
(72) 発明者 平林 信夫
長野県長野市大字栗田字舍利田711番地
新光電気工業株式会社内
(74) 代理人 100091672
弁理士 岡本 啓三

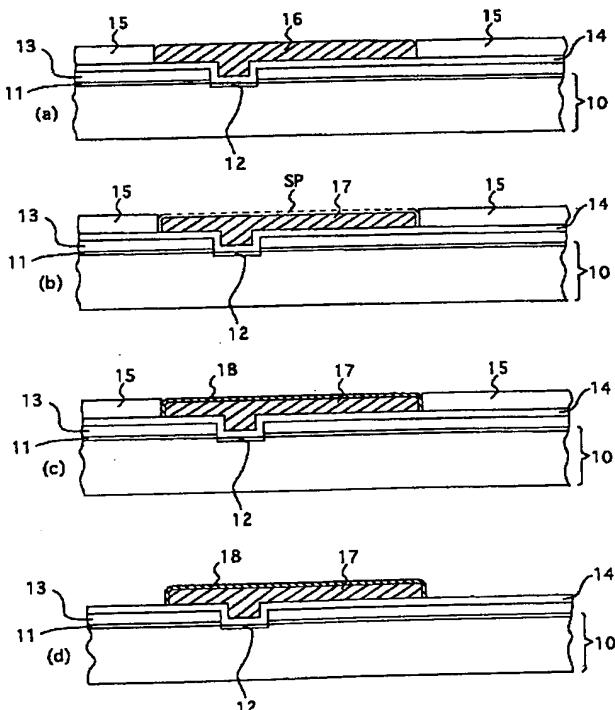
最終頁に続く

(54) 【発明の名称】配線構造及び配線形成方法

(57) 【要約】

【課題】 電気的特性のみならず耐環境性にも優れた配線を実現し、ひいては当該配線を内装した半導体装置や配線基板等の信頼性の向上に寄与することを目的とする。

【解決手段】 絶縁層11、13に形成されたビア・ホールを介して下層の導体層12に電気的に導通するよう絶縁層13と下層の導体層12とを覆って形成されたに絶縁層14上に形成された配線層17の表面を、耐環境性に優れた材料からなる被覆層18で覆うように構成する。この被覆層18を構成する耐環境性に優れた材料としては、好適には、ニッケル／金、ニッケル／パラジウム、又はニッケル／パラジウム／金が用いられる。



【特許請求の範囲】

【請求項1】 絶縁層に形成されたビア・ホールを介して下層の導体層に電気的に導通するように前記絶縁層上に形成された配線層の表面を、耐環境性に優れた材料からなる被覆層で覆ったことを特徴とする配線構造。

【請求項2】 前記耐環境性に優れた材料として、ニッケル／金、ニッケル／パラジウム、又はニッケル／パラジウム／金を用いたことを特徴とする請求項1に記載の配線構造。

【請求項3】 ビア・ホールが形成された絶縁層の上にレジスト層を形成し、該レジスト層を所要の配線パターンに所定のマージンを加味して太くしたパターン形状に従うようにパターニングして、前記ビア・ホールに対応する領域を含む部分のレジスト層に開口部を形成する工程と、

前記開口部を埋め込むように導体層を形成する工程と、前記導体層の上面側及び側面側の表層部分を、前記導体層のパターン形状が前記所要の配線パターンの形状となるまでエッチングにより除去して配線層を形成する工程と、

前記配線層の表面に耐環境性に優れた材料からなる被覆層を形成する工程とを含むことを特徴とする配線形成方法。

【請求項4】 前記開口部を形成する工程の前に、前記ビア・ホールが形成された絶縁層と該ビア・ホールから露出する下層の導体層とを覆うように金属薄膜をスパッタリングにより形成する工程を含み、前記金属薄膜を給電層として用いて電解めっきにより前記開口部を埋め込むように導体層を形成することを特徴とする請求項3に記載の配線形成方法。

【請求項5】 ビア・ホールが形成された絶縁層の上に第1のレジスト層を形成し、該第1のレジスト層を所要の配線パターンに所定のマージンを加味して太くしたパターン形状に従うようにパターニングして、前記ビア・ホールに対応する領域を含む部分の第1のレジスト層に第1の開口部を形成する工程と、

前記パターニングされた第1のレジスト層及び前記第1の開口部を覆うように第2のレジスト層を形成し、該第2のレジスト層を前記所要の配線パターンの形状に従うようにパターニングして、前記第1の開口部の位置の第2のレジスト層に第2の開口部を形成する工程と、

前記第2の開口部に配線層を形成する工程と、

前記パターニングされた第2のレジスト層を除去する工程と、

前記配線層の表面に耐環境性に優れた材料からなる被覆層を形成する工程とを含むことを特徴とする配線形成方法。

【請求項6】 前記第1の開口部を形成する工程の前に、前記ビア・ホールが形成された絶縁層と該ビア・ホールから露出する下層の導体層とを覆うように金属薄膜

10 をスパッタリングにより形成する工程を含み、前記金属薄膜を給電層として用いて電解めっきにより前記第2の開口部に配線層を形成することを特徴とする請求項5に記載の配線形成方法。

【請求項7】 前記パターニングされた第2のレジスト層の除去を、前記第1のレジスト層には影響を与えない薬液を用いて行うことを特徴とする請求項5に記載の配線形成方法。

【請求項8】 前記所定のマージンは、前記配線層の表面に形成されるべき前記被覆層の厚さを規定することを特徴とする請求項3又は5に記載の配線形成方法。

【請求項9】 前記耐環境性に優れた材料として、ニッケル／金、ニッケル／パラジウム、又はニッケル／パラジウム／金を用いたことを特徴とする請求項3から8のいずれか一項に記載の配線形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、配線構造及び配線形成方法に係り、特に、配線材として耐環境性に比較的劣る銅 (Cu) や銀 (Ag) 等の材料を用いた際に生じる不都合を解消するのに有用な技術に関する。

【0002】

【従来の技術】 近年、LSIの高集積化及び高速化により、配線の多層化と微細化が進んでいる。特にロジックデバイスにおいては、トランジスタ特性の高性能化を実現するためには配線の最小ピッチをゲート長に合わせて小さくすることが必須であり、さらに大電流密度での使用条件に耐える配線構造が要求される。配線ピッチが縮小されると、従来はそれほど問題とされなかつた配線間容量と配線抵抗に起因する信号遅延が無視できなくなつてくる。これを避けるためには、抵抗率の低い配線材と誘電率の低い層間絶縁膜を用いることが必要である。

【0003】 配線材としては、従来よりアルミニウム (Al) が用いられているが、最近では、Alと比較して同じ配線断面積で低い配線抵抗を実現できるCuが用いられている。Cuは、Alと同じ配線ピッチで同じ配線抵抗では配線の厚みを薄くできるため、結果的に配線間容量を小さくすることができる。特に、近年要求されている半導体装置の小型化及び高密度化のニーズに応えるために開発されているチップ・サイズ・パッケージ (CSP) 構造を有する半導体装置では、ウエハに作り込まれた各半導体素子（最終的に個々の半導体チップとして分離される部分）の電極パッドを、当該ウエハとの間にポリイミド層等の絶縁層を介して、パッケージ外部に連絡するための再配線を行う必要があるが、その再配線に使用する配線材として、電気的特性に優れているという観点から主にCuが用いられている。

【0004】 また、同様に電気的特性に優れているという利点に加えて、周波数が高くなるとその表皮効果により更に導電性を高めることができるという観点から、配

線材としてAgを用いることも検討されている。

【0005】

【発明が解決しようとする課題】上述したように、従来のCSP構造の半導体装置ではその再配線に電気的特性に優れた配線材を使用しているが、一般に、CuやAgのように電気的特性に優れた材料は、高温・高溫の環境下では拡散による汚染やマイグレーション等をひき起こすおそれがある。

【0006】例えば、隣接する絶縁層中に金属原子が浸入してその絶縁性を劣化させたり、或いは配線層中で高い電流密度に起因して金属原子が電子運動量をもって移動し、配線層の変形により断線や短絡等を起こすといった不都合が想定される。つまり、CuやAgのように電気的特性に優れた材料をそのまま配線材として用いることは、当該配線を取り巻く環境面の点で、適当ではなかった。

【0007】このような問題点は、CSP構造の半導体装置に特有なものではなく、一般的に耐環境性に比較的劣るCuやAg等により形成された配線を内装した構造体であれば、例えばビルドアップ配線板等の配線基板についても、同様に起こり得ることである。また、このような汚染やマイグレーション等が生じると、当該配線を内装したCSP構造の半導体装置やビルドアップ配線板等の配線基板の信頼性が低下することになり、好ましくない。

【0008】本発明は、かかる従来技術における課題に鑑み創作されたもので、電気的特性のみならず耐環境性にも優れた配線を実現し、ひいては当該配線を内装した半導体装置や配線基板等の信頼性の向上に寄与することができる配線構造及び配線形成方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明の一形態によれば、絶縁層に形成されたピア・ホールを介して下層の導体層に電気的に導通するように前記絶縁層上に形成された配線層の表面を、耐環境性に優れた材料からなる被覆層で覆ったことを特徴とする配線構造が提供される。

【0010】また、本発明の他の形態によれば、ピア・ホールが形成された絶縁層の上にレジスト層を形成し、該レジスト層を所要の配線パターンに所定のマージンを加味して太くしたパターン形状に従うようにパターニングして、前記ピア・ホールに対応する領域を含む部分のレジスト層に開口部を形成する工程と、前記開口部を埋め込むように導体層を形成する工程と、前記導体層の上面側及び側面側の表層部分を、前記導体層のパターン形状が前記所要の配線パターンの形状となるまでエッチングにより除去して配線層を形成する工程と、前記配線層の表面に耐環境性に優れた材料からなる被覆層を形成する工程とを含むことを特徴とする配線形成方法が提供さ

れる。

【0011】また、本発明の更に他の形態によれば、ピア・ホールが形成された絶縁層の上に第1のレジスト層を形成し、該第1のレジスト層を所要の配線パターンに所定のマージンを加味して太くしたパターン形状に従うようにパターニングして、前記ピア・ホールに対応する領域を含む部分の第1のレジスト層に第1の開口部を形成する工程と、前記パターニングされた第1のレジスト層及び前記第1の開口部を覆うように第2のレジスト層を形成し、該第2のレジスト層を前記所要の配線パターンの形状に従うようにパターニングして、前記第1の開口部の位置の第2のレジスト層に第2の開口部を形成する工程と、前記第2の開口部に配線層を形成する工程と、前記パターニングされた第2のレジスト層を除去する工程と、前記配線層の表面に耐環境性に優れた材料からなる被覆層を形成する工程とを含むことを特徴とする配線形成方法が提供される。

【0012】本発明に係る配線構造及び配線形成方法によれば、CuやAgなどのように電気的特性に優れているが耐環境性に比較的劣る材料により形成された配線（配線層）の表面を耐環境性に優れた材料（被覆層）で覆っているので、配線全体として所要の電気的特性に耐環境性が付加された構造を実現することができる。これによって、従来の配線において見られたような不都合（拡散による汚染やマイグレーション等）を解消することができ、ひいては当該配線を内装した半導体装置や配線基板等の信頼性を向上させることができるとなる。

【0013】

【発明の実施の形態】以下、本発明に係る配線構造を実現する配線形成方法の実施の形態について、添付図面を参照しながら説明する。図1～図4は本発明の第1の実施形態に係る配線形成方法の一適用例を示したもので、CSP構造の半導体装置の製造工程を順に示したものである。

【0014】先ず最初の工程では（図1（a）参照）、複数の半導体チップ（図示せず）が作り込まれたウエハ10を作製する。一例として、シリコン（Si）基板の表面に窒化シリコン（SiN）やリンガラス（PSG）等からなる保護膜としてのパッシベーション膜11を形成した後、各半導体チップ上に所要のパターンで多数形成されたアルミニウム（Al）の導体層（電極パッド）12の領域に対応するパッシベーション膜11を除去する。これによって、図示のように電極パッド12が露出し且つ電極パッド12に対応する領域を除いて表面がパッシベーション膜11で覆われたウエハ10が作製される。この場合、ウエハ10上にパッシベーション膜11を設けずに、次の工程で形成される絶縁層にパッシベーション膜の機能を兼ねさせてもよい。

【0015】次の工程では（図1（b）参照）、フォトマスクにより、ウエハ10の表面に絶縁層を形成

するための感光性のレジストとして感光性のポリイミドを厚さ6μm程度に塗布し、レジスト層のソフトベーク（プリベーク）処理を行った後、マスク（図示せず）を用いて露光及び現像（レジスト層のパターニング）を行い、更にハードベーク（ポストベーク）処理を行う。レジスト層のパターニングは、電極パッド12の形状に従うように行われる。従って、露光及び現像を行うと、図示のように電極パッド12に対応する部分のレジスト層（ポリイミド層）が除去され、電極パッド12に到達する開口部（ピア・ホール）をもつ絶縁層13が形成される。

【0016】本実施形態では絶縁層13の材料として感光性のポリイミドを用いているが、これに代えて、非感光性のポリイミド等の樹脂を使用してもよい。但しこの場合には、フォトリソグラフィを用いることはできないため、例えばレーザ加工により開口部（ピア・ホール）を形成することになる。次の工程では（図1（c）参照）、真空雰囲気中でスパッタリングにより、全面に金属薄膜14を形成する。この金属薄膜14は、下層の絶縁層13との密着性を高めるために設けられるクロム（Cr）層とこの上に積層される銅（Cu）層の2層構造を有している。金属薄膜14の形成は、全面にCrをスパッタリングにより堆積させて下層部分のCr層を形成し、更にその上にCuをスパッタリングにより堆積させて上層部分のCu層を形成することにより、行われる。ここに、上層部分のCu層は厚さ数Å程度に形成される。

【0017】このようにして形成された金属薄膜14は、後の工程において配線層の形成、被覆層の形成、ボンディングワイヤ表面への皮膜の形成の際に必要な電解めっき処理のための給電層、すなわちめっきベース膜として機能する。次の工程では（図1（d）参照）、金属薄膜14の上に感光性のレジスト15として例えばドライフィルムを形成し、更にマスク（図示せず）を用いて露光及び現像（レジスト層のパターニング）を行う。このパターニングは、後の工程で形成される配線パターンの形状に従うように行われる。これによって、配線の領域に対応する部分のレジスト層15に開口部P1が形成される。

【0018】なお、ここにいう「配線パターン」とは、最終的な配線層に対応した所要の配線パターンに所定のマージンを加味して太くしたパターンを指すものとする。この所定のマージンは、後の工程で形成される被覆層の厚さを規定する。次の工程では（図2（a）参照）、金属薄膜（給電層）14からの給電による電解めっきにより、開口部P1（図1（d）参照）を埋め込むようにCuのめっき層16を形成する。このCuめっき層16は、上記配線パターンの形状に従っている。

【0019】次の工程では（図2（b）参照）、後の工程での被覆層形成のための空間を確保するために、Cu

めっき層16（図2（a）参照）に対して等方性のエッチングを行い、図示のように配線パターンの形状を最終的な配線層17に対応した所要の配線パターンの形状となるまでパターン幅を細くする。このエッチング処理により、Cuめっき層16の表層部分（上面側及び側面側）が除去され、その除去された部分に等間隔の空間SPが確保される。一方、Cuめっき層16のうち残存した部分は、最終的な配線層17として画定される。この配線層17は「再配線層」とも呼ばれる。本実施形態では、この配線層17の厚さを数十μm程度に選定している。

【0020】なお、このエッチング処理により実際にはCuめっき層16の下層のCu層の部分（給電層14の上層部分）も除去されるので、厳密には、確保される空間は図示の例とは若干異なったものとなるが、図示の簡略化のためにその表示を省略してある。次の工程では（図2（c）参照）、同様に金属薄膜（給電層）14からの給電による電解めっきにより、Cuの配線層17の表面にニッケル（Ni）めっきと金（Au）めっきを施し、Ni/Auめっき層を厚さ1μm程度に形成する。このNi/Auめっき層は、被覆層18として供される。なお、被覆層18の形成に際し、NiめっきとAuめっきに代えて、Niめっきとパラジウム（Pd）めっきを施し、Ni/Pdめっき層としてもよい。あるいは、NiめっきとAuめっきに代えて、NiめっきとPdめっきとAuめっきを施し、Ni/Pd/Auめっき層としてもよい。

【0021】配線層17の表面を覆って形成された被覆層18は、本発明が意図する配線層17の保護（汚染やマイグレーション等の防止）と共に、後述するワイヤボンディングの作業性を容易にするのに役立つ。次の工程では（図2（d）参照）、NaOH溶液等のレジスト剥離液を用いてレジスト層15（図2（c）参照）を剥離し、除去する。

【0022】次の工程では（図3（a）参照）、金属薄膜14と被覆層18の上に感光性のレジスト19として例えばドライフィルムを形成し、さらにマスク（図示せず）を用いて露光及び現像（レジスト層のパターニング）を行う。このパターニングは、配線層17（被覆層18）の端子形成部分、すなわち後の工程で行われるワイヤボンディングによりワイヤが接着されるべき部分（ボンディングパッド）の形状に従うように行われる。これによって、ボンディングパッドの領域に対応する部分のレジスト層19に開口部P2が形成される。

【0023】さらに、ワイヤボンディングにより、開口部P2に露出したボンディングパッドに外部接続端子としてのAuのワイヤ20を接着する。このワイヤ20は約25μmの直径を有し、S字状に形成されている。次の工程では（図3（b）参照）、ワイヤ20に弾性力を持たせるために、金属薄膜（給電層）14からの給電に

による電解めっきにより、ニッケル合金めっきを施し、ワイヤ20の表面にN_i合金皮膜21を形成する。これによって、表面にN_i合金皮膜21が形成されたワイヤ(参照番号22で表す)のトータルの直径を約50μmとする。

【0024】この際に、図示の構造からもわかるように、ポンディングパッド(露出した被覆層18の端子形成部分)の表面にもN_i合金皮膜21が形成される。N_i合金皮膜21を形成する材料として、例えばニッケル-コバルト(N_i-Co)やニッケル-クロム-モリブデン(N_i-Cr-Mo)等を用いることができる。

【0025】次の工程では(図3(c)参照)、NaOH溶液等のレジスト剥離液を用いてレジスト層19(図3(b)参照)を剥離し、除去する。次の工程では(図4(a)参照)、エッチングにより、露出している給電層14を除去する。すなわち、Cuを溶かすエッチング液により給電層14の上層部分のCu層を除去し、次いでCrを溶かすエッチング液により下層部分のCr層を除去する。これによって、図示のように絶縁層(ポリイミド層)13が露出する。

【0026】次の工程では(図4(b)参照)、後の工程で半導体チップをプリント基板等にはんだ付けで実装する際にそのはんだ付けを行い易くするために、無電解めっきにより、表面にN_i合金皮膜が形成されたワイヤ22の表面にAuの皮膜23を厚さ0.1μm程度に形成する。この際に、金属塩と還元剤を主成分とするめっき液中にウエハごと浸漬して無電解めっきを行うので、実際には図示のようにワイヤ22の表面のみならず他の金属部分(被覆層18、給電層14)の表面にもAu皮膜23が形成される。なお、図示の便宜上、表面にAu皮膜23が形成されたワイヤを参照番号24で表すものとする。

【0027】最後の工程では(図4(c)参照)、ダイサー等によりウエハ10を切断して個々の半導体チップCPに分離し、各半導体チップをプリント基板等の実装基板25上に実装する。これは、図示のようにワイヤ24の先端部を実装基板25上の対応する電極パッド(図示せず)に当ててはんだ26により接着することにより、行われる。

【0028】以上説明したように第1の実施形態によれば、図2に示されるように、電気的特性に優れているが耐環境性に比較的劣るCuにより形成された配線層17の表面を、耐環境性に優れた材料からなる被覆層18(N_i/Auめっき層又はN_i/Pdめっき層)で覆っているので、配線全体として所要の電気的特性に耐環境性が付加された構造を実現することができる。

【0029】これによって、従来の配線において見られたような、拡散による汚染やマイグレーション等といった不都合を解消することが可能となる。これは、当該配線を内装したCSP構造の半導体装置の信頼性の向上に

寄与するものである。また、等方性のエッチングにより配線層17の周囲に等間隔の空間SPが形成され得るので、配線層17の表面を覆って形成されるべき被覆層18の厚さを均一にすることができる。これは、被覆層18による配線層17の保護という観点から、汚染やマイグレーション等の防止により一層寄与する。

【0030】また、図3(b)の工程に関連して説明したように、半導体チップの外部接続端子としてのS字状のワイヤ20(22, 24)に弾性力を持たせているので、図4(c)の工程で半導体チップCPを実装基板25上に実装した時に生じる応力を緩和することができ、ひいては両者間の接続信頼性を上げることができる。また、ワイヤの長さや形状によってインピーダンスの最適化を図ることができるので、半導体装置としての電気的特性の改善に寄与することができる。さらに、はんだバンプ等の電極構造と比べてワイヤ形状の方が相対的に表面積が大きいため、放熱効果という点で有利である。

【0031】上述した第1の実施形態では、本発明の特徴である被覆層を形成する空間を確保するためにエッチバック処理を用いたが(図2(b)参照)、被覆層を形成する空間を確保するための手法はこれに限定されることはもちろんである。その一例は図5に示される。図5は本発明の第2の実施形態に係る配線形成方法を説明するための部分的な工程を示したものである。

【0032】本実施形態に係る配線形成方法を適用したCSP構造の半導体装置は、第1の実施形態における図1(a)～図1(c)の工程と同様の工程を経て、さらに図5(a)～図5(d)に示す工程を経た後、第1の実施形態における図2(c)以降の工程と同様の工程を経ることにより製造される。本実施形態では、被覆層を形成する空間を確保するための手法として、2種類のレジストを用い、各々のパターニングを工夫している。

【0033】先ず図5(a)に示す工程では、金属薄膜14の上に第1のレジスト層31を塗布し、配線パターンの形状に従うように該レジスト層のパターニングを行い、該配線の領域に対応する部分のレジスト層31に開口部Q1を形成する。なお、ここにいう「配線パターン」とは、上述したように所要の配線パターンに所定のマージンを加味して太くしたパターンを指すものである。

【0034】次に図5(b)に示す工程では、開口部Q1及び第1のレジスト層31を覆うように第2のレジスト層32を塗布し、所要の配線パターンの形状に従うように該レジスト層のパターニングを行う。これによって形成された開口部Q2は、所要の配線パターン幅を規定する。次に図5(c)に示す工程では、金属薄膜(給電層)14からの給電による電解めっきにより、開口部Q2にCuのめっき層33を形成する。このCuめっき層33は最終的な配線層を構成し、第1の実施形態と同様、その厚さを数十μm程度に選定している。

【0035】更に図5 (d) に示す工程では、第2のレジスト層32 (図5 (c) 参照) を除去する。これによって、図示のように配線層33の周囲に被覆層形成のための均一な空間が確保される。この後、この空間を満たすように被覆層を形成し (図2 (c) 参照) 、更に第1のレジスト層31を除去する (図2 (d) 参照)。各レジスト層31, 32の除去に際しては、一方のレジスト層には影響を与えずに他方のレジスト層のみを溶解し得る薬液を用いて処理する。

【0036】上述した各実施形態では、最終的な配線層を構成する配線材としてCuを用いているが、このCuに代えて、Ag等の他の配線材を用いてもよいことはもちろんである。また、上述した各実施形態では、外部接続端子としてS字状のワイヤを用いたCSP構造の半導体装置について説明したが、外部接続端子の形態はこれに限定されないことはもちろんであり、例えばはんだボールを用いてもよい。

【0037】このようなはんだボールを外部接続端子として用いた半導体装置は、その一例が図6に示されており、例えば以下のようにして作製することができる。まず、第1の実施形態における図1 (a) ~図2 (d) の工程と同様の工程を経た後、金属薄膜14と被覆層18の上にドライフィルム等の感光性のレジストをピア・ポストの形状に従うようにパターニングし、次いで金属薄膜 (給電層) 14からの給電による電解めっきにより、パターニングされたレジスト層をマスクにしてCuのピア・ポスト41を形成し、さらに必要に応じてピア・ポストの頂上部にバリヤメタル層を形成した後、レジスト層を除去し、露出している給電層14をエッチングにより除去し、さらにウエハ10を封止樹脂 (封止樹脂層42) により封止した後、露出したピア・ポスト41の頂上部に外部接続端子としてのはんだボール43をリフローにより接着する。この後、ダイサー等により、封止樹脂層42と共にウエハ10を切断して個々の半導体チップに分離し、各半導体チップを実装基板上に実装する。

【0038】また、図6に例示した半導体装置では被覆層18で覆われた配線層17上にピア・ポストを備えた構造となっているが、かかるピア・ポストを持たない半導体装置の構造としてもよいことはもちろんである。このようなピア・ポストを持たない半導体装置は、その一例が図7に示されており、例えば以下のようにして作製することができる。

【0039】先ず、第1の実施形態における図1 (a) ~図2 (d) の工程と同様の工程を経た後、露出している給電層14をエッチングにより除去し、次いで露出した絶縁層13と被覆層18を覆うように封止樹脂層44を例えればポッティングにより形成し、さらに封止樹脂層44において被覆層18 (配線層17) の端子形成部分に対応する領域にレーザ等によりピア・ホールを形成した後、このピア・ホール内に外部接続端子としてのはんだ

10

20

30

40

50

だボール45を配置し、リフローを行ってはんだボール45を被覆層18 (配線層17) 上に接着する。この後、図6の場合と同様に、個々の半導体チップに分離し、実装基板上に実装する。

【0040】なお、封止樹脂層44に代えて、ソルダレジスト層を形成してもよい。この場合、ソルダレジスト層は、スクリーン印刷によりはんだボール接合部が開口するようにソルダレジストを塗布するか、或いは、感光性のソルダレジストを塗布して露光及び現像により当該レジスト層のパターニングを行うことにより、形成され得る。

【0041】また、上述した各実施形態では、CSP構造の半導体装置における再配線層の形成に本発明を適用した場合について説明したが、本発明の要旨からも明らかのように、適用形態はこれに限定されないことはもちろんある。例えば、CSP構造の半導体装置やボール・グリッド・アレイ (BGA) 等のパッケージ構造を有する半導体装置を搭載すべく、近年要求されている配線の微細化及び高密度化のニーズに応えるために実用化が進んでいるビルトアップ配線板等の配線基板にも本発明を適用することができる。

【0042】ビルトアップ配線板は、層間絶縁層の材料とピア・ホール形成プロセスの組合せにより多種類のものが作製可能であり、その製造プロセスは、一般的に、絶縁層の形成、絶縁層におけるピア・ホールの形成、及び、ピア・ホールの内部を含めた導体パターン (すなわち配線層) の形成を順次繰り返して各層を積み上げていくものである。かかるプロセスにおいて、導体パターン (配線層) を形成する際に、上述した各実施形態に係る配線形成方法を適用することができる。

【0043】図8はその一例を示したものである。図中、50はビルトアップ配線板のコア基板 (絶縁材) 、51はビルトアップ配線板の2層目の絶縁層、52はビルトアップ配線板を保護するためのソルダレジスト層、53, 56は金属薄膜14 (図4 (a) 参照) に相当する金属薄膜、54, 57は配線層17 (同図参照) に相当する配線層、55, 58は被覆層18 (同図参照) に相当する被覆層、59はソルダレジスト層52に形成された開口部から露出している被覆層58 (配線層57) のランド部を示す。このランド部59には、ビルトアップ配線板に搭載する半導体素子の電極端子が接続される。

【0044】

【発明の効果】以上説明したように本発明によれば、電気的特性のみならず耐環境性にも優れた配線を実現することができ、これによって当該配線を内装した半導体装置や配線基板等の信頼性の向上を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る配線形成方法を

適用したCSP構造の半導体装置の製造工程を示す断面図である。

【図2】図1の製造工程に続く製造工程を示す断面図である。

【図3】図2の製造工程に続く製造工程を示す断面図である。

【図4】図3の製造工程に続く製造工程を示す断面図である。

【図5】本発明の第2の実施形態に係る配線形成方法を説明するための部分的な工程を示す断面図である。

【図6】本発明の各実施形態に係る配線形成方法の他の適用例(その1)を示す断面図である。

【図7】本発明の各実施形態に係る配線形成方法の他の適用例(その2)を示す断面図である。

【図8】本発明の各実施形態に係る配線形成方法の他の適用例(その3)を示す断面図である。

【符号の説明】

C P…半導体チップ

1 0…ウエハ

1 1…保護膜(パッシベーション膜)

1 2…導体層(A1電極パッド)

1 3…絶縁層(ポリイミド層)

1 4, 5 3, 5 6…金属薄膜(給電層、めっきベース膜)

1 5, 1 9, 3 1, 3 2…レジスト層

1 6…導体層(Cuめっき層)

1 7, 3 3, 5 4, 5 7…配線層(Cuめっき層)

1 8, 5 5, 5 8…被覆層(Ni/Auめっき層又はNi/Pdめっき層)

2 0, 2 2, 2 4…ワイヤ(外部接続端子)

10 2 1…Ni合金皮膜

2 3…Au皮膜

2 5…実装基板

2 6…はんだ

4 1…ピア・ポスト

4 2, 4 4…封止樹脂層

4 3, 4 5…はんだボール(外部接続端子)

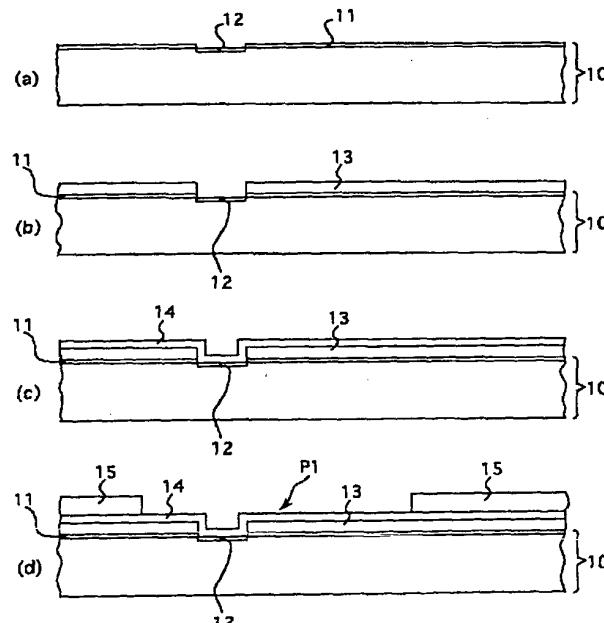
5 0…コア基板(絶縁材)

5 1…絶縁層

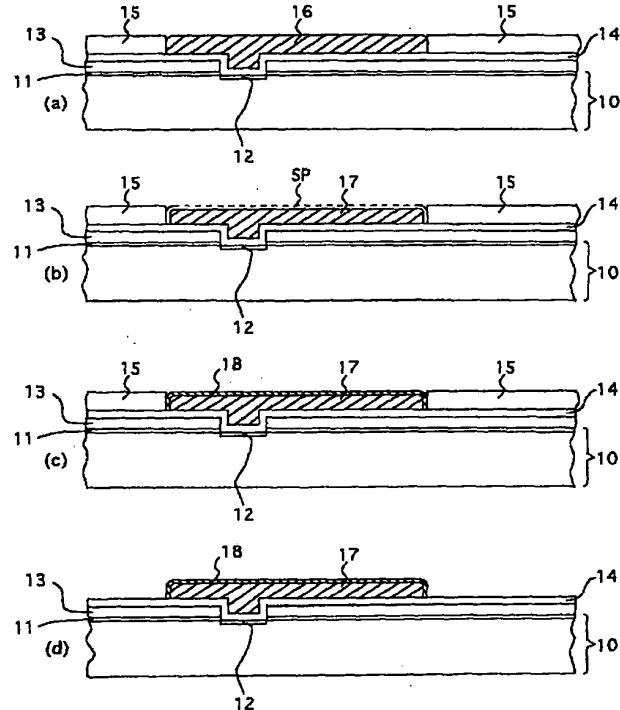
5 2…ソルダレジスト層

20 5 9…ランド部

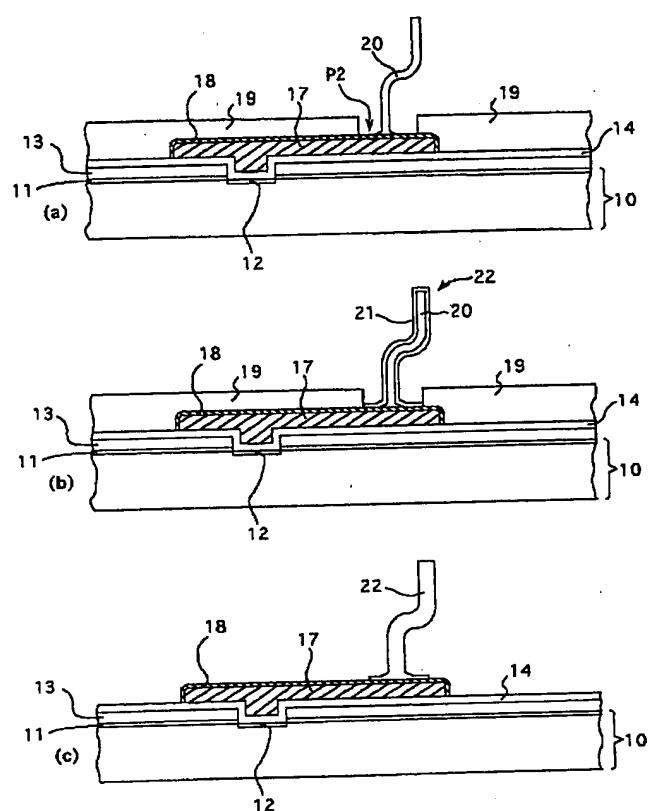
【図1】



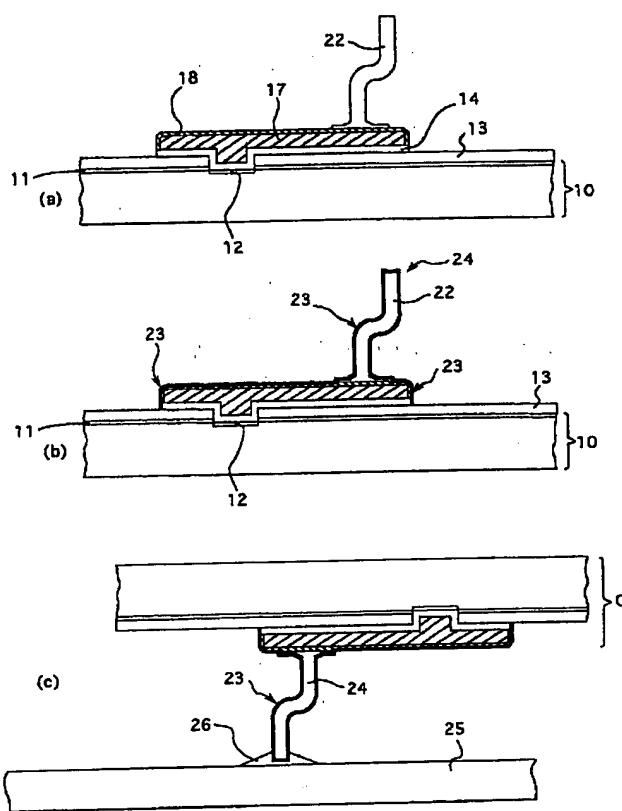
【図2】



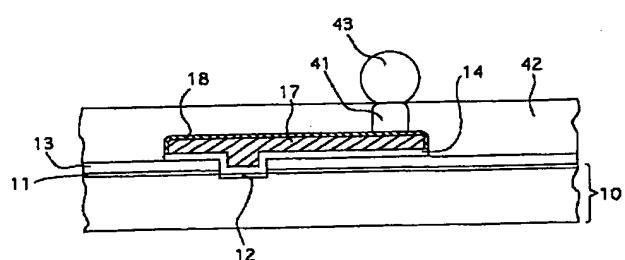
【図3】



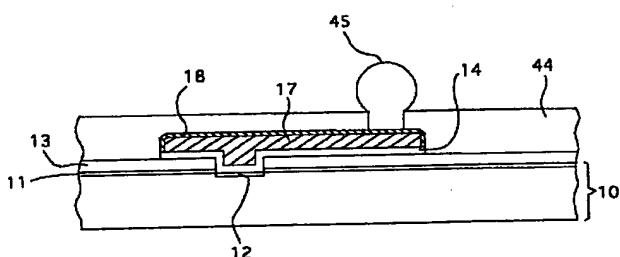
【図4】



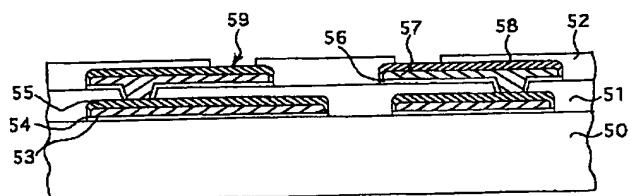
【図6】



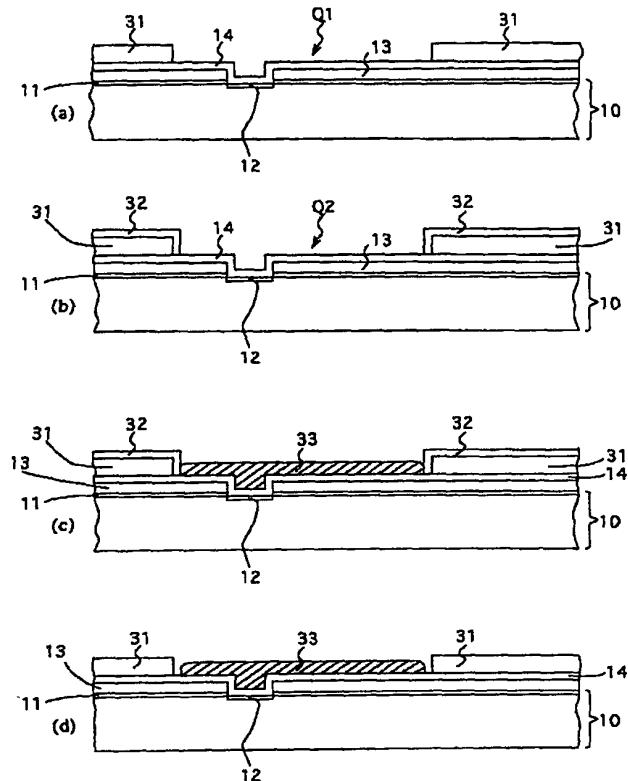
【図7】



【図8】



【図 5】



フロントページの続き

(72) 発明者 井原 義博

長野県長野市大字栗田字舍利田711番地
新光電気工業株式会社内

(72) 発明者 西口 愛子

長野県長野市大字栗田字舍利田711番地
新光電気工業株式会社内

F ターム (参考) 2H096 AA25 HA27 JA04 KA08 LA02

5F033 HH07 HH11 HH13 HH14 HH17

JJ07 JJ11 JJ13 JJ14 JJ17

KK07 KK08 KK11 KK12 KK13

KK17 MM08 MM11 PP15 PP27

PP28 QQ01 QQ08 QQ19 QQ27

QQ30 QQ37 RR22 RR27 SS22

XX05 XX31

5F043 AA26 AA40 BB15 BB30 CC01

CC07 CC09 CC16 DD04 DD24

GG04

5F046 AA20